

基于 RapidIO 的片上网络扩展接口设计与实现

赵 淳, 梁利平

(中国科学院 微电子研究所, 北京 100029)

摘 要: 片上网络被认为是一种适合未来多核处理器系统芯片的片上通信架构. 随着片上计算资源数量的持续增多, 片间通信逐渐成为影响片上计算和通信性能的重要因素. 提出了一种基于 RapidIO 的高带宽、低延时片上网络扩展接口, 用于满足多核系统芯片的片间通信需求. 接口采用了层次化的设计方法以提高系统的应用灵活性, 同时降低了硬件设计的复杂度. 实验结果表明, 扩展接口的硬件资源开销小, 有效通信带宽达到 8.92 Gb/s.

关键词: RapidIO; 片上网络; 片间通信; 扩展接口

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2013)12-0031-04

Design and Implementation of RapidIO Based Networks-on-Chip Extension Interface

ZHAO Chun, Liang Li-ping

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Networks-on-Chip (NoC) is considered to be a kind of viable on-chip communication fabrics for future Multiprocessor System-on-Chip (MPSoC). With increasing amount of processing elements, on-chip computing and communication performance is heavily influenced by inter-chip communication. A high-bandwidth, low-latency RapidIO-based extension interface is proposed to meet inter-chip communication requirement of NoC-based MPSoC. It is hierarchically designed to improve system flexibility while reducing hardware complexity. Experiment result shows that the hardware overhead of the extension interface is very small, and the effective bandwidth is 8.92Gbps.

Key words: RapidIO; networks-on-chip; inter-chip communication; extension interface

1 引言

随着集成电路工艺技术的飞速发展, 芯片单位面积允许集成的计算单元呈现出近似指数的增长趋势^[1]. 这一方面促进了系统芯片设计规模和复杂度的持续提高, 另一方面也对深亚微米工艺下芯片的设计和实现技术提出了更高的要求和挑战^[2]. 进入 90 nm 节点, 片上寄生和耦合效应日益严重, 全局连线逐渐取代标准单元, 成为影响芯片总体性能、面积和功耗的关键因素^[3]. 片上网络作为一种新型的片上互连结构, 以其良好的伸缩性和规整化的物理设计风格, 被认为是一种适合未来多核系统芯片发展要求的片上通信结构^[4]. 与此同时, 网络和媒体处理

等数据密集型服务已经广泛应用于消费电子领域, 这对芯片的片间扩展和通信性能要求愈发苛刻^[5]. 与传统的并行总线技术相比, 以 RapidIO 为代表的高速串行总线在性能和封装成本上都体现出巨大的优势和潜力, 尤其适合解决多核数字信号处理系统中芯片间和电路板间的扩展和通信问题^[6].

片上网络和 RapidIO 技术的结合可以有效地平衡多核处理器系统中计算和通信之间的需求和相互依赖, 提高系统总体的平均性能^[7]. 本文提出一种采用 RapidIO 技术的片上网络扩展接口结构, 为基于片上网络的多核系统芯片提供高带宽、低延时的芯片间通信服务. 该接口通过层次化、模块化的设计技术, 在不同的结构层次上解决片间通信的报文封

收稿日期: 2013-03-28; 修回日期: 2013-05-22

基金项目: 中国科学院项目“百人计划”(KGCX2-YW-134)

装/解析、存储和转发等关键问题。

2 系统结构和通信协议

基于互连网络的多核处理器系统芯片总体结构如图 1 所示。芯片采用二维 Mesh 拓扑构建包交换片上通信网络,每个路由节点通过两个资源网络接口连接两个本地计算资源。整个系统芯片设计符合全局异步局部同步(GALS)的设计风格,各个计算资源节点可以工作在相互独立的时钟域下。这不仅有利于芯片的物理实现,加速设计收敛,而且有利于动态地控制和优化芯片的局部和总体功耗。扩展接口用于处理芯片的片外扩展和通信问题,通过基于 RapidIO 的串行总线与片外计算资源进行高速数据交换。扩展接口可以与任意路由节点实现无缝连接,其实现策略决定了整个芯片的片间通信带宽和吞吐性能,其逻辑和物理位置则会影响软件任务的映射和调度,因而对多核处理器系统芯片的总体性能具有非常重要的意义。

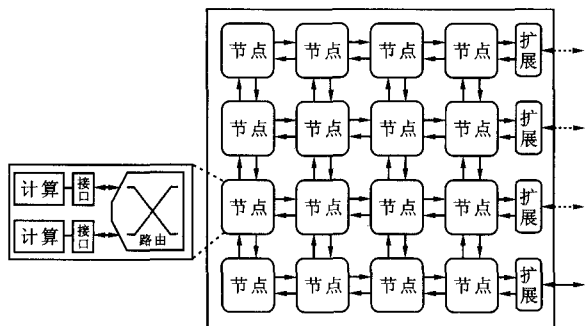


图 1 多核计算系统总体结构

路由节点之间,以及路由节点和网络接口之间采用基于网络数据包的虫孔交换策略,交换的最小单位为微片。一个完整的网络数据包由控制信息、数据信息和校验信息三部分组成,这些信息分布在一个头微片,若干数量的体微片和一个尾微片中。本文中的网络数据包采用了改进的 RapidIO 逻辑层数据包通信协议,精简了部分字段的定义,降低了实现控制信息和校验信息的开销。当数据包的有效负载长度为 256 字节时,非数据信息的开销仅占总体不足 5%,从而有效地控制和降低了数据的通信延时,提高了数据传输的效率。

3 扩展接口硬件结构设计

整个扩展接口的结构层次如图 2 所示,由片上网络适配器和 Xilinx 公司的 RapidIO 端点 IP 共同实现。适配器负责连接片上通信网络,处理来自和发往片内计算资源节点的网络数据包,RapidIO 端点

连接片外设备,实现数据的高速串化和解串。

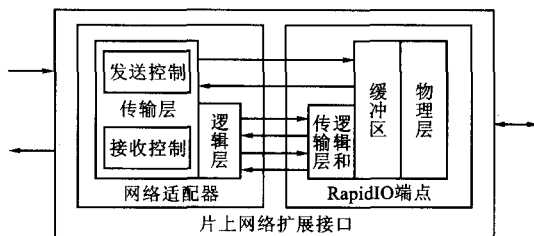


图 2 扩展接口结构层次

3.1 功能扩展的 RapidIO 端点

Xilinx 公司的 RapidIO 端点由物理层内核、逻辑和传输层内核、缓冲区内核以及时钟和复位配置电路组成,其完整的解决方案为用户提供了四组访问端口,并允许用户根据自身系统的需要,定制和裁剪相应的功能单元^[8]。RapidIO 端点符合工业标准规范,可以连接包括 DSP、FPGA 等多种类型的片外计算和存储设备。

RapidIO 端点层次化、模块化的体系结构为系统设计和集成提供了比较大的自由度。基于此,本文扩展了 RapidIO 端点的端口通信模式,在原来端口的基础上增加了直通缓冲区的旁路端口,通过静态配置的多路选择器控制数据是否经过逻辑和传输层进行交换。当片外设备为同类型的片上网络芯片时,扩展接口允许数据绕过逻辑和传输层,直接经缓冲区进入或流出片内互连网络。这使得同类型多核处理器系统芯片具有更低的片间通信延时,因而相对其他系统更具优势。

3.2 网络适配器

网络适配器功能上可以划分为发送控制器和接收控制器两部分,二者间相互独立,分别处理数据包的发送和接收事务,其结构如图 3 所示。整个模块采用了分层设计的方法,将数据包的处理分为传输层和逻辑层两个阶段。传输层仅负责数据的存储、校验和转发;逻辑层则负责数据包的拆解和封装,以及与 RapidIO 端点的端口通信。这样做不仅可以降低逻辑层旁路情况下的数据包延时,同时有效地复用了存储资源,降低了接口的硬件实现开销。

RapidIO 端点一般工作在固定时钟频率下,为了摆脱片上网络时钟对 RapidIO 端点时钟的依赖,适配器通过异步 FIFO 将二者划分为两个独立的时钟域。FIFO 的宽度与 RapidIO 端点的总线宽度相同,深度可以容纳一个完整的网络数据包。这使得 FIFO 两端的电路都可以工作在各自最大的吞吐性能上,从而最大限度地发挥片上网络和 RapidIO 端点的工作效率。

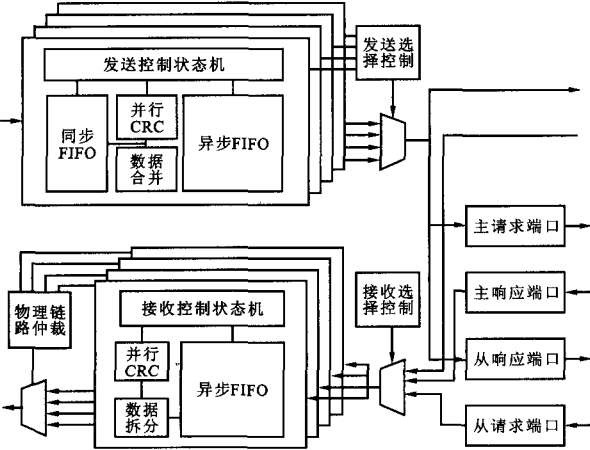


图 3 网络适配器接口框图

3.3 交换策略和资源分配

交换策略决定了物理通信资源(带宽、缓存等)以何种方式分配给流经扩展接口的网络数据,对接口的性能起着至关重要的作用. 典型的交换策略包括基于分组(网络数据包)和基于微片的通信资源分配方式. 为了给系统提供高带宽、低延时的片间通信服务,扩展接口采用了基于“包-微片”的混合资源分配机制,即微片以轮转优先的方式访问片上网络物理链路,而数据包则以先到先服务的方式访问 RapidIO 总线. 这种交换策略既充分地利用了片上网络的物理通信带宽,又保证了数据包在 RapidIO 总线上串行通信延时仅与包长度成正比,比较好地平衡了平均带宽和通信延时之间的矛盾.

仲裁器是保证资源公平和正确分配,提高资源利用效率的核心功能电路. 为了确保片上网络物理通道的高效利用和平均分配,本文设计了多通道轮转优先仲裁器,其电路结构如图 4 所示. 数据包在扩展接口的接收端被分割为微片,其所在的虚拟通道随即发起对物理链路的访问请求,仲裁器根据当前周期内的通道优先级和请求决定哪组通道内的微片可以获得物理链路的使用权,同时生成下一周期内的仲裁优先序列. 进入新一轮仲裁周期后,前次优胜通道的优先级将被置为最低,相邻通道的优先级上升为最高.

4 实验结果及分析

本文利用基于 SystemC 事务级建模的片上网络流量管理单元与待测的扩展接口 RTL 模型共同构建了功能仿真平台,结构如图 5 所示. 平台由背靠背的两个扩展接口,和一对 Source/Sink 流量管理单元组成. 其中 Source 单元产生网络数据包并发往 Sink 单元, Sink 单元接收并进行校验. 流量管理单

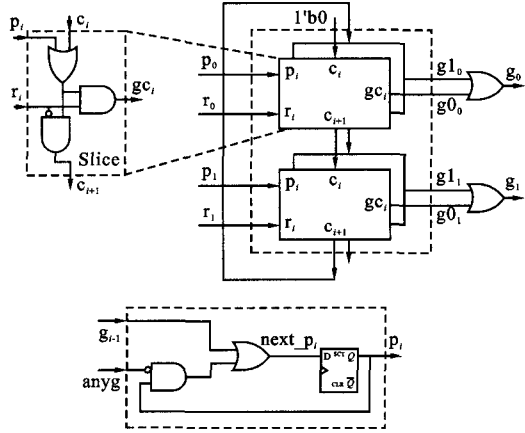


图 4 轮转优先仲裁器电路结构

元具有性能参数统计和计算功能,可以实现扩展接口的功能验证和性能评估.

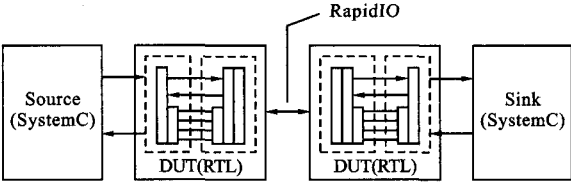


图 5 扩展接口功能仿真平台

扩展接口的延时性能如图 6 所示. Source 单元以固定频率产生有效负载为 64/256 字节的网络数据包,并通过扩展接口发送给 Sink 单元. 从图中可以看出,在较低注入率的条件下,接口的通信延时随着注入率变化不大,此时接口带宽随着注入率线性地增加,这主要是由于物理通信资源在较低注入率下可以较好地满足多组数据分时交换的请求,从而使其利用率逐渐提高. 当注入率超过一定门限时,数据包经过接口的通信延时急剧增大,接口的通信带宽则维持在该门限上基本不变,这是因为 RapidIO 端点的通信带宽已经达到饱和,物理通信资源利用率达到最高,扩展接口无法同时处理更多数据交换请求,只能通过排队保证数据的有序和正确交换. 不同的有效负载对门限有一定的影响,负载长度越大,门限值越小,接口以更快的速度达到饱和.

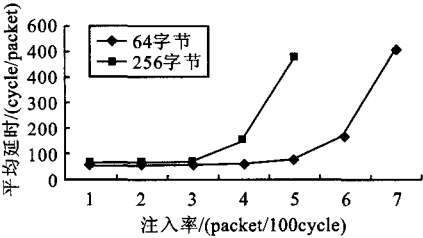


图 6 扩展结构延时性能曲线

片上网络扩展接口在 Xilinx 公司的 Virtex-6 系列 FPGA 芯片上实现并进行了原型验证, Ra-

pidIO 端点物理层采用 4x 模式,缓冲区深度为 8, RapidIO 总线带宽为 12.5 Gb/s. 各模块的硬件资源开销如表 1 所示. 从表中可以看出,扩展接口仅占芯片硬件资源的 4%,且绝大部分资源用于 RapidIO 端点的实现,而网络适配器的资源开销仅占整个扩展接口的 30%.

表 1 扩展接口硬件资源开销

模块	LUT	Register	Memory
适配器	3 056	2 093	8
RIO 端点	6 661	5 927	4
扩展接口	9 722(4%)	8 046(2%)	12(1%)

图 7 中反映了片上网络的时钟频率对片间通信性能的影响. 系统在 Dini 公司的 DN-DualV6 FPGA 验证板上实现. 板载的两颗 X6VSX475T 芯片上均实现了一个 4×4 的片上网络和一个扩展网络接口原型,扩展接口可以工作在 1x 和 4x 的模式下. 随机流量经扩展接口,在两个网络之间进行交换. 从图中可以看出,随着片上网络时钟频率的逐渐提高,片间通信的吞吐性能也近似线性地提高,但当网络端频率超过 RapidIO 端点逻辑层主频(125 MHz)时,接口的吞吐性能不再受片上网络端时钟的影响而维持在一个相对稳定的水平,这也是由于受到 RapidIO 端点物理通信资源的制约,数据包在高时钟频率下只得逐一获得 RapidIO 总线的访问权. 4x 模式下,整个扩展接口的有效数据传输带宽可以达到 8.92 Gb/s,接近理想情况的 90%.

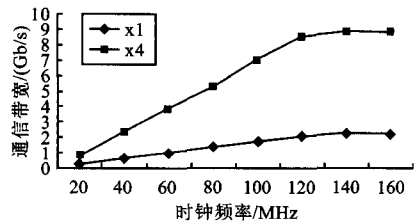


图 7 扩展接口吞吐性能曲线

5 结束语

随着集成电路制造工艺的发展和芯片设计复杂

度的提高,片上网络逐渐成为一种解决多核计算系统片上互连和通信的可靠解决方案. 良好的片上计算和通信能力需要以高效的芯片间通信性能为基础. 本文提出了一种结合了片上网络和 RapidIO 技术的扩展接口结构,用于解决片上网络多芯片扩展和通信问题. 该接口具有层次化设计结构,可以灵活地处理兼容 RapidIO 串行物理层的 DSP、FPGA 等芯片之间的通信需求. 接口硬件复杂度低,资源开销小,可以快速地在 FPGA 上实现和验证,为系统提供高带宽、低延时的片间通信服务.

参考文献:

[1] Angela C Sodan. Parallelism via multithreaded and multicore CPUs [J]. IEEE Computer, 2010, 43(3): 24-32.

[2] Geer D. Chip makers turn to multicore processors[J]. IEEE Computer, 2005, 38(5):11-13.

[3] Dally W J, Towles B. Route packets, not wires: on-chip interconnection networks[C]// Design Automation Conference. Las Vegas, 2001: 684-689.

[4] Pullini A, Angiolini F. Bringing NoCs to 65 nm[J]. IEEE Micro, 2007, 27(5): 75-85.

[5] Krste Asanovic. The landscape of parallel computing research: a view from berkeley[EB/OL]. [2006-12-18]. <http://www.eecs.berkeley.edu/Pubs/TechRpts/2006/EECS-2006-183.html>.

[6] Sam Fuller. RapidIO 嵌入式系统互联[M]. 王勇,译. 北京:电子工业出版社,2006.

[7] Xilinx. RapidIO logical I/O and transport layer user guide v5. 5 [EB/OL]. [2010-04-19]. www.xilinx.com.

[8] 方幸福,梁利平. 一种适用于多核 DSP 片外扩展的网络接口的设计[J]. 微电子学与计算机, 2010, 27(5):78-82.

作者简介:

赵 淳 男,(1984—),博士研究生. 研究方向为研究方向为基于片上网络的多核 DSP 设计.

梁利平 男,(1969—),博士,研究员. 研究方向为研究方向为高性能 DSP 和数字集成电路设计技术.